

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-113606

(43)Date of publication of application : 25.04.1990

(51)Int.Cl. H03B 5/32

(21)Application number : 63-265865

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 21.10.1988

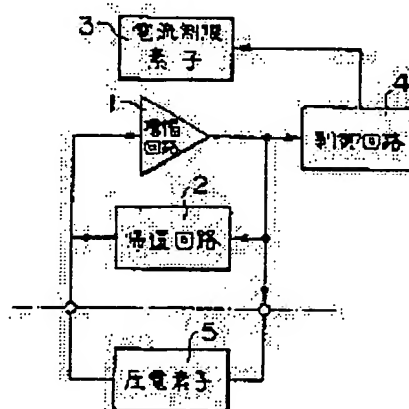
(72)Inventor : KODAMA SHINICHI  
MIZOBUCHI KOJI  
KURIBAYASHI MASAO

## (54) OSCILLATING CIRCUIT

### (57)Abstract:

**PURPOSE:** To lower the current consumption and to obtain an oscillating circuit with the fast rise time by adding a very little digital circuit to the oscillating circuit having a piezoelectric element at a feedback circuit.

**CONSTITUTION:** The section between the input output edges of a CMOS inverter circuit is connected by a feedback circuit 2, the feedback is applied from the output terminal of an amplifying circuit 1 through a piezoelectric element 5 to an input terminal and an oscillating action is executed. Here, a current limit element 3 inserted into a connecting path to the power source of the oscillating circuit and a control circuit 4 to generate the output when the oscillating action is stabilized are provided and the output of the control circuit 4 is received and the value of the current limit element 3 is switched. At the time of inputting the power source, the output impedance of the CMOS inverter circuit is switched to a low impedance and after a stable action, it is switched to a high impedance. Thus, at the time of inputting the power source, the oscillating circuit current as per ordinary is conducted, the rise time of the oscillation output is shortened, and at the time of the stable action, the action is executed by a micro current and the current consumption can be saved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-113606

⑬ Int. Cl.<sup>5</sup>

H 03 B 5/32

識別記号

庁内整理番号

D

7922-5J

⑭ 公開 平成2年(1990)4月25日

審査請求 未請求 請求項の数 2 (全8頁)

⑮ 発明の名称 発振回路

⑯ 特 願 昭63-265865

⑰ 出 願 昭63(1988)10月21日

⑱ 発 明 者 児 玉 晋 一 東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス光学工業株式会社内

⑲ 発 明 者 溝 沢 孝 二 東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス光学工業株式会社内

⑳ 発 明 者 栗 林 正 雄 東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス光学工業株式会社内

㉑ 出 願 人 オリンパス光学工業株式会社 東京都渋谷区幡ヶ谷2丁目43番2号

㉒ 代 理 人 弁理士 藤 川 七 郎

明 細 書

1. 発明の名称

発振回路

2. 特許請求の範囲

(1) CMOSインバータ回路の出力端子から入力端子へ圧電素子を介して帰還をかけ、発振動作を行わせるようにした発振回路において、

上記発振回路の電源への接続路中に介挿された電流制限素子と、

上記発振回路の発振動作が安定したと判断されるときに出力を発する制御回路と、

を有し、上記制御回路出力を受けて上記電流制限素子の値を切換えることにより、CMOSインバータ回路の出力インピーダンスを電圧投入時は低インピーダンスに、上記安定動作後は高インピーダンスに切換えるようにしたことを特徴とする発振回路。

(2) 上記制御回路は、電源投入時から発振回路の発振動作が安定するまでの時間の経過後、出力を発する計時回路からなる請求項1記載の発振回路。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は発振回路、更に詳しくは高い周波数安定度と、少ない消費電流と、早い立ち上がり時間が要求されるシステムに用いられる発振回路に関する。

【従来の技術】

一般に、圧電素子を用いた発振回路は、周囲温度や電源電圧が変動した際の発振周波数の安定度や消費電流特性がCR発振回路に比して優れている。しかし、立ち上がり時間は略1桁遅いのが通例である。このような圧電素子を用いた発振回路においては、その発振回路内に電流制限素子を介挿することにより更に消費電流を低減できることが知られている。例えば、CMOSインバータ回路を用いた発振回路では、CMOSインバータを構成するP-MOSのソースと電源端子との間やN-MOSのソースと接地との間にそれぞれ電流制限素子としての抵抗を入れることが行なわれている。また電源電圧を下げることによって、発振

回路の消費電流を抑制することができる。

〔発明が解決しようとする課題〕

ところで、発振回路の消費電流を少なくするために、発振回路内に電流制限素子を用いる場合、電源を投入してから発振勢力が立上がるまでの時間は電流制限素子を入れない場合より、かなり遅くなるという問題がある。また、発振回路の電源電圧を下げることで消費電流を少なくする場合、発振回路部分だけ別電源を設置する必要があり、大変複雑になる。

そこで本発明の目的は、上述の問題点を解消し、消費電流を下げ、且つ立上がり時間の早い発振回路を提供するにある。

〔課題を解決するための手段および作用〕

本発明の発振回路は、その概念を第1図に示すように、CMOSインバータ回路の入出力端間を帰還回路2で結線してなる増幅回路1の出力端子から入力端子へ圧電素子5を介して帰還をかけ、発振動作を行わせるようにした発振回路において、上記発振回路の電源への接続路中に介挿された

- 3 -

いる。

上記CMOSインバータ回路20の入出力端子間に接続された帰還抵抗15と、CMOSインバータ回路20の出力端子にその一端が接続された保護抵抗16と、同保護抵抗16の他端とグランド端子間に接続された周波数補償用コンデンサ42と、CMOSインバータ回路20の入力端子とグランド端子間に接続された周波数補償用コンデンサ41とは上記第1図に示す概念図における帰還回路2を構成している。

上記P-MOS 21のソースと電源端子間に直列に接続された抵抗11、12と、N-MOS 22のソースとグランド端子間に直列に接続された抵抗13、14とは上記第1図に示す概念図における電流制限素子3を構成している。そして、上記抵抗11、12、13、14の各抵抗値 $R_{11}$ 、 $R_{12}$ 、 $R_{13}$ 、 $R_{14}$ の間には下記の関係式が成立するようにしている。

$$\left. \begin{array}{l} R_{11} < R_{12} \\ R_{13} > R_{14} \end{array} \right\} \dots\dots (1)$$

- 5 -

電流制限素子3と、

上記発振回路の発振動作が安定したと判断されるときに出力を発する制御回路4と、

上記制御回路4の出力を受けて上記電流制限素子3の値を切換えることにより、CMOSインバータ回路の出力インピーダンスを電源投入時は低インピーダンスに、上記安定動作後は高インピーダンスに切換えるようにしたことを特徴とするものである。

〔実施例〕

以下、図面を参照して本発明を具体的に説明する。第2図は本発明の第1実施例を示す発振回路の回路図である。図において、それぞれのソースが互いに結線されたP-MOS 21とN-MOS 22とはCMOSインバータ回路20を形成し、各ゲートが接続されて入力端子となり、ソースが出力端子となっている。そして、P-MOS 21のバックゲートは電圧 $V_{DD}$ が印加されている電源端子に接続され、N-MOS 22のバックゲートは接地レベルを有するグランド端子に接続されて

- 4 -

上記CMOSインバータ回路20の出力端子に、入力端子が接続され、同インバータ回路20の出力信号を波形整形してクロックパルスを形成するバッファ25と、同バッファ25の出力端子にクロック入力端CKが接続され、Q出力端をD入力端に接続することによりバイナリカウンタとして動作するD型フリップフロップ（以下、DFFと略記する）31と、前段のDFFのQ出力端にクロック入力端CKが接続され、上記のDFF 31と同じようにバイナリカウンタとして動作するDFF 32、33、35と、同DFF 35のQ出力と後述するDFF 36のQ出力とのナンドをとって同DFF 36のD入力とする2入力ナンドゲート26と、上記DFF 31のQ出力端子にクロック入力端CKが接続され上記ナンドゲート26と協働して上記DFF 35の信号をラッチするDFF 36と、同DFF 36のQ出力端子に制御入力端が接続されたアナログスイッチ23、24とは上記第1図に示す概念図における制御回路4を構成している。そして、上記アナログスイッチ23、24は、上記

- 6 -

DFF36のQ出力端が“L”レベルのときアクティブとなり、アナログスイッチ23で抵抗12の、アナログスイッチ24で抵抗13の、それぞれ両端がショートされるように接続されている。

上記CMOSインバータ回路20の入力端に接続されたオシレータ端子OSC<sub>1</sub>と、保護抵抗16と周波数補償用コンデンサ42との接続点に接続されたオシレータ端子OSC<sub>2</sub>との間に、前記第1図の概念図に示す圧電素子5としての水晶振動子10が接続されている。また、上記DFF31, 32, 33, 35, 36の各リセット端子Rに接続されているパワー・オン・リセット端子PORは、電源端子とグランド端子間に接続された抵抗18とコンデンサ44の直列回路で形成されたパワー・オン・リセット回路の midpoint に接続されている。

このように構成された本第1実施例の動作を、第3図に示すタイミングチャートを参照して説明する。第3図(a)に示すように電源電圧V<sub>DD</sub>が供給されると、上述のパワー・オン・リセット回路

- 7 -

のコンデンサ44端の電位、即ちパワー・オン・リセット端子PORの電位は、第3図(b)に示すように瞬時的に接地電位となり、ついで抵抗18の抵抗値とコンデンサ44の容量値の積で定まる時定数に応じて、曲線2<sub>1</sub>のように電源電圧V<sub>DD</sub>まで指数函数的に上昇する。このパワー・オン・リセット端子PORの電位が上述のように瞬時的に“L”レベルになることにより、各DFF31, 32, 33, 35, 36はすべてそのリセット端子が“L”アクティブとなるので、リセット状態となり、そのQ出力端は全て“L”レベルとなる。DFF36のQ出力端が“L”レベルとなると、アナログスイッチ23, 24がオンし、これによって上記(1)式に示す高抵抗値の抵抗12, 13の両端を短絡するから、電流制限素子3(第1図参照)が低い抵抗値の抵抗11, 14のみとなり、CMOSインバータ回路20(第2図参照)の出力インピーダンスが低インピーダンスとなる。従って、同インバータ回路20は、電源投入時には通電電流が増大し、その電流増幅率が大きい状態

- 8 -

で発振がスタートすることになり、従って発振出力が定常値に達するまでの立ち上がり時間が少なくなる。

CMOSインバータ回路20で発振された信号は、バッファ25を介してクロックパルスとしてDFF31に印加されて、その周波数が1/2に分周され、以下同様にDFF32, 33, 35で更に分周される。ところで、DFF36は、そのD入力端がナンドゲート26の出力信号により“L”レベルに保持されたままなので、そのクロック入力端CKにDFF31のQ出力端から、第3図(d)に示すようにクロックパルスの1/2に相当する信号が印加されても応答せず、そのQ出力端は第3図(e)に示すように“L”レベルのままである。従って、上記アナログスイッチ23, 24はオン状態を保持しているから、CMOSインバータ回路20の出力インピーダンスは低インピーダンスのままである。

今、DFF35が初段のDFF31から数えてn段目とすると、2<sup>(n-1)</sup>個目のクロックパルス

- 9 -

が印加される時刻t<sub>1</sub>になると、第3図(e)に示すようにDFF35はリセット状態からセット状態に変わる。従って、DFF35のQ出力端が“H”レベルとなり、Q出力端が“L”レベルとなる。すると、ナンドゲート26の出力端、つまりDFF36のD入力端が“H”レベルとなるから、次のクロックパルス、つまり(2<sup>(n-1)</sup> + 1)個目のクロックパルスが印加される時刻t<sub>2</sub>になると、その立ち上がりに同期してDFF36がリセット状態からセット状態に移行し、そのQ出力端が、第3図(e)に示すように“L”レベルから“H”レベルになる。すると、アナログスイッチ23, 24の制御入力端がノンアクティブの“H”レベルとなることにより、アナログスイッチ23, 24がオフし、抵抗12, 13の短絡が解除される。従って、P-MOS21のソースと電源端子間に抵抗11, 12が、またN-MOS22のソースとグランド端子間に抵抗13, 14がそれぞれ直列に接続されることになる。これによって、電流制限素子3(第1図参照)の値が前記(1)式に示す

- 10 -

高抵抗になることになる。そこで、CMOSインバータ回路20(第2図参照)は、その出力インピーダンスが高インピーダンスになって通電電流が減少し、定常動作時に移行して発振を継続することになる。なお、上記DFF36は、第3図(c)に示すようなセット状態に移行した後は、その可出力端の“L”レベルがナンドゲート26の他方の入力端に加えられることにより、そのD入力端が“H”レベルとなり、一度電源をオフして再度電源を投入しない限りセット状態を保持、つまりラッチされる。これによって、この発振回路は、電源投入時には、通常の発振回路電流を通電することにより発振出力の立ち上がり時間を短縮しながら、安定動作時には微小電流で動作させて消費電流の節減を図ることができる。そして、電源投入時から安定動作時に移行する時間が制御回路4で規定されることになる。

第1表は、区分1、2に示すような制御回路4(第1図参照)を有しない従来例の発振回路と、区分3に示すような電流制限素子3、制御回路4

- 11 -

第4図は、本発明の第2実施例を示す発振回路である。この第2実施例において、上記第1実施例と大きく異なる点は、電流制限素子3(第1図参照)として抵抗11~14に代えて、MOSTランジスタの飽和領域の定電流特性が異なるP-MOSおよびN-MOSを各2個使用した点と、制御回路4(第1図参照)による電源投入時から安定動作時への切換を、クロックパルスのカウント動作に代えてCR時定数回路の積分時間によった点とである。なお、以下の第2実施例においては、上記第1実施例における構成部材と全く同一の構成部材については、同一の符号を付すに止め、その説明を省略する。

電源電圧 $V_{DD}$ が与えられている電源端子とP-MOS21のソースとの間に並列に接続されたP-MOS53、54と、N-MOS22のソースと接地レベルを与えるグランド端子間に並列に接続されたN-MOS55、56とは、第1図に示す概念図における電流制限素子3を構成している。これらのP-MOS53、54およびN-MOS

- 13 -

を有する本実施例の発振回路におけるその消費電流と立ち上がり時間を電源電圧 $V_{DD}=6V$ 、発振周波数=32KHzで実測した結果を示したものである。

第 1 表

区分	電流制限素子3	制御回路4	消費電流	立ち上がり時間
1	無	無	百数十 $\mu A$	数百 $\mu sec$
2	有	無	数 $\mu A$	数 $sec$
3	有	有	数 $\mu A$	数百 $\mu sec$

上記第1表から明らかなように、電流制限素子3や制御回路4を有さない区分1の発振回路における消費電流百数十 $\mu A$ を節減しようとして、電流制限素子3を介挿すると、区分2に示すように消費電流は略2桁改善して数 $\mu A$ になるが、発振出力の立ち上がり時間が数百ミリ秒から数秒に増大してしまう。そこで、区分3に示すように、電流制限素子3や制御回路4を使用する本実施例によれば、立ち上がり時間を区分1と同じ数百ミリ秒に収めながら、消費電流は区分2と同じ数 $\mu A$ に節減することができる。

- 12 -

55、56は、その飽和領域における電流能力を $I_{53}$ 、 $I_{54}$ 、 $I_{55}$ 、 $I_{56}$ としたときに、各MOSTFETの電流特性の間に下式が成立するように設定されているものとする。

$$\left. \begin{array}{l} I_{53} < I_{54} \\ I_{55} < I_{56} \end{array} \right\} \dots\dots\dots (2)$$

バッファ25と、DFF31、57、36と、2入力ナンドゲート58、26と、ヒステリシス幅を有するバッファ59と、抵抗18、コンデンサ44からなるパワー・オン・リセット回路と、可変抵抗51、コンデンサ52からなる立ち上がり時間調整用時定数回路とは前記第1図に示す概念図における制御回路4を構成している。

上記の立ち上がり時間調整用時定数回路を形成する可変抵抗51とコンデンサ52の接続点は、立ち上がり時間モニタ端子CMおよびシュミットトリガ回路等で形成されたヒステリシス幅を有するバッファ59を介して、同バッファ59の出力信号を一度ラッチするDFF57のD入力端と第1の2入力ナンドゲート58の一方の入力端に接続されて

- 14 -

いる。この第1のナンドゲート58は、1段のチャタキラーとなり上記DFF57のノイズチェックを行なうもので、その他方の入力端には上記DFF57のQ出力端が接続され、同ゲート58の出力端は第2のナンドゲート26の一方の入力端に接続されている。この第2のナンドゲート26の出力端はDFF36のD入力端に接続され、同DFF36のQ出力端はP-MOS54とN-MOS55の、またQ出力端はP-MOS53とN-MOS56の、それぞれのゲートに接続されている。

このように構成された第2実施例の動作を第5図のタイミングチャートを用いて説明する。電源電圧 $V_{DD}$ が印加されると、第5図(b)に示すように、パワー・オン・リセット回路により各DFF31, 57, 36はリセット状態となるから、そのQ出力端は全て“L”レベルとなる。従って、DFF36のQ出力端の“L”レベルにより、P-MOS54がオンし、N-MOS55がオフとなり、Q出力端の“H”レベルにより、P-MO

- 15 -

レベルとなるが、同DFF57はそのクロック入力端CKにアクティブ入力がないのでリセット状態を保持している。時刻 $t_1$ になると、DFF31のQ出力端が、第5図(e)に示すように、“H”レベルから“L”レベルとなり、従ってQ出力端が、“L”レベルから“3”レベルに変るアクティブ入力となって上記DFF57のクロック入力端CKに印加される。すると、同DFF57はそのD入力端の“H”レベルを流込んでそのQ出力端が、第5図(f)に示すように、“H”レベルとなる。つまり、立上り時間調整用時定数回路の出力信号をラッチしたことになる。そこで、第2のナンドゲート58は、その両入力端とも“H”レベルとなるから、出力端が“L”レベルとなり、これによって第1のナンドゲート26の出力端、つまりDFF36のD入力端が“H”レベルとなる。次いで、時刻 $t_2$ になって、DFF31のQ出力端が“L”レベルから“H”レベルに変ると、DFF36は、そのD入力端の“H”レベルを流込むので、そのQ出力端は、第5図(g)に示すよ

- 17 -

S53がオフし、N-MOS56がオンとなる。この電源投入時にオンするP-MOS54とN-MOS55は、上記(2)式のようにその飽和領域における電流能力がP-MOS53やN-MOS55よりはるかに大きく設定されているので、CMOSインバータ回路20への通電電流が大きくなり、発振回路の立上りも早くなる。

ところで、可変抵抗51とコンデンサ2から形成されている立上り時間調整用時定数回路の時定数は、同可変抵抗51を調整することにより上記の発振回路の立上り時間に等しく設定されているので、上述の発振回路の発振出力の立上りに応動して立上り時間モニタ端子CMの電位が、第5図(c)に示すように、指数函数的に上昇する。そして、時刻 $t_3$ になるとヒステリシス幅を有するバッファ59のスレッシュドレベルに達するから、同バッファ59の出力レベルは、第5図(d)に示すように、時刻 $t_3$ で“L”レベルから“H”レベルに変る。すると、DFF57のD入力端とナンドゲート58の一方の入力端も“H”

- 16 -

うに、“L”レベルから“H”レベルにラッチされることになる。つまり、この発振回路は電源投入時から安定動作時にその動作モードが切換えられることになる。

この安定動作時には、上述のようにDFF36のQ出力端が“H”レベル、Q出力端が“L”レベルにつき、電流制限素子3(第1図参照)を構成する4個のMOSトランジスタのうちのP-MOS53とN-MOS55とがオンとなり、P-MOS54とN-MOS56がオフとなる。安定動作時にオンとなるP-MOS53とN-MOS55は、上記(2)式に示すようにその飽和領域における電流能力が、電源投入時にオンとなるP-MOS54とN-MOS56に比し少ないので、安定動作時における発振回路の消費電流は、電源投入時における消費電流に比して少なくなり、これによって少ないエネルギーで発振が継続されることになる。

以上説明したように、第2実施例においても、前記第1実施例と同様に、電源投入時には通常通

- 18 -

りの発振回路電流を通過することにより発振出力の立ち上がり時間を短縮しながら、安定動作時には最小電流で動作させることができるので、消費電流の節減を図ることができる。

なお、上記各実施例においては、発振動作が安定したとの判断動作を、制御回路4の計時出力により行っているが、これは周波数等の発振波形そのものを計測しても良いことは言うまでもない。  
【発明の効果】

以上述べたように本発明によれば、発振回路に圧電素子を有する発振回路にごく僅かなデジタル回路を付加するのみで、低消費電流化と早い立ち上がり時間を併せ有する発振回路を提供することができるという顕著な効果が発揮される。

#### 4. 図面の簡単な説明

第1図は、本発明に係る発振回路の概念図、

第2図、第3図は、本発明の第1実施例を示す発振回路の回路図と、その各部のタイミングチャート、

第4図、第5図は、本発明の第2実施例を示す

発振回路の回路図と、その各部のタイミングチャートである。

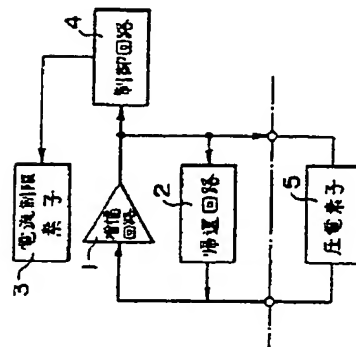
3 ……電流制限素子

4 ……制御回路

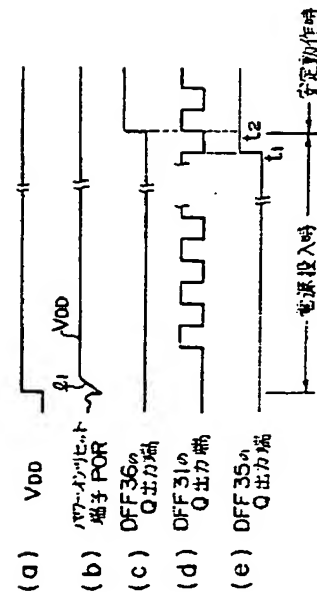
20 ……CMOSインバータ回路

特許出願人      オリンパス光学工業株式会社  
代 理 人      藤 川 七 郎

第 1 図



第 3 図



第 2 図

